Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет

информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы

вычислительной техники

К ЗАЩИТЕ ДОПУСТИТЬ

\_\_\_\_\_\_\_\_\_\_ И. В. Лукьянова

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовой работе

на тему

ПРОЕКТИРОВАНИЕ И ЛОГИЧЕСКИЙ СИНТЕЗ СУММАТОРА-

УМНОЖИТЕЛЯ ДВОИЧНО-ЧЕТВЕРИЧНЫХ ЧИСЕЛ

БГУИР КР 1-40 02 01 306 ПЗ

Студент И. А. Григорик

Руководитель И. В. Лукьянова

МИНСК 2021

Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет

информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы

вычислительной техники

УТВЕРЖДАЮ

Заведующий кафедрой ЭВМ

\_\_\_\_\_\_\_\_\_ Б. В. Никульшин

«\_\_\_\_» \_\_\_\_\_\_\_\_\_\_ 20\_\_ г.

ЗАДАНИЕ

по курсовой работе студента

Григорик Иван Александрович

1. Тема работы: «Проектирование и логический синтез сумматора- умножителя двоично-десятичных чисел»
2. Срок сдачи студентом законченной работы: мая 2021г.
3. Исходные данные к работе:
   1. Исходные сомножители: Мн = 28,69 Мт = 21,59;
   2. Алгоритм умножения: Б;
   3. Метод умножения: умножение закодированного двоично-четверичного множимого на два разряда двоичного множителя одновременно в прямых кодах;
   4. Коды четверичных цифр множимого для перехода к двоично- четверичной системе кодирования: 04 – 00, 14 – 10, 24 – 11, 34 – 01;
   5. Тип синтезируемого умножителя: 2;
   6. Логический базис для реализации ОЧС: ИЛИ, Константная единица, Сумма по модулю; Метод минимизации – карты Карно – Вейча;
   7. Логический базис для реализации ОЧУС: ИЛИ, Константная единица,Сумма по модулю; Метод минимизации –алгоритм Рота;
4. Содержание пояснительной записки (перечень подлежащих разработке вопросов): Введение. 1. Разработка алгоритма умножения. 2. Разработка структурнойсхемы сумматора-умножителя. 3. Разработка функциональных схемосновных узлов сумматора-умножителя. 4. Синтез комбинационных схемустройств на основе мультиплексоров. 5. Оценка результатов разработки.Заключение. Список литературы.
5. Перечень графического материала:
   1. Умножитель-сумматор 2 типа. Схема электрическая структурная.
   2. Однозарядный четверичный сумматор. Схема электричская

функциональная.

* 1. Однозарядный четверичный умножитель. Схема электрическая функциональная.
  2. Преобразователь множителя. Схема электрическая функциональная.
  3. Однозарядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.

КАЛЕНДАРНЫЙ ПЛАН

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование этапов курсовой работы | Объем этапа, % | Срок выполнения этапа | Примечания |
| Разработка алгоритма умножения | 10 | 10.02-20.02 |  |
| Разработка структурное схемы умножителя-сумматора | 10 | 21.02-09.03 | С выполнением чертежа |
| Разработка функциональных схем основных узлов умножителя-сумматора | 50 | 10.03-30.04 | С выполнением чертежа |
| Синтез комбинационных чсхем устройств на основе мультиплексоров | 20 | 01.05-15.05 | С выполнением чертежа |
| Завершение оформления пояснительной записки | 10 | 15.05-21.05 |  |

Дата выдачи задания: 11 февраля 2021г.

Руководитель И. В. Лукьянова

ЗАДАНИЕ ПРИНЯЛ К ИСПОЛНЕНИЮ \_\_\_\_\_\_\_\_\_

**СОДЕРЖАНИЕ**

ВВЕДЕНИЕ ............................................................................................................ 1

1. РАЗРАБОТКА АЛГОРИТМА УМНОЖЕНИЯ .............................................. 2

2. РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ СУММАТОРА-УМНОЖИ-ТЕЛЯ .................................................................................................................................. 5

3. РАЗРАБОТКА ФУНКЦИОНАЛЬНЫХ СХЕМ ОСНОВНЫХ УЗЛОВ СУММАТОРА-УМНОЖИТЕЛЯ ......................................................................... 8

1.1. Логический синтез одноразрядного четверичного сумматора.................... 8

1.2. Логический синтез одноразрядного четверичного сумматора-умножителя ................................................................................................................................ 12

1.3. Логический синтез преобразователя множителя ....................................... 22

4. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ УСТРОЙСТВ НА ОСНОВЕ

МУЛЬТИПЛЕКСОРОВ ................................................................................... 25

5. ОЦЕНКА РЕЗУЛЬТАТОВ РАЗРАБОТКИ .................................................... 27 ЗАКЛЮЧЕНИЕ .................................................................................................... 28 СПИСОК ЛИТЕРАТУРЫ .................................................................................... 29

ПРИЛОЖЕНИЕ А Сумматор-умножитель первого типа. Схема электрическая структурная ................................................................................. 30

ПРИЛОЖЕНИЕ Б Одноразрядный четверичный сумматор-умножитель. Схема электрическая функциональная............................................................. 31

ПРИЛОЖЕНИЕ В Одноразрядный четверичный сумматор. Схема электрическая функциональная.......................................................................... 32

ПРИЛОЖЕНИЕ Г Одноразрядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная .............................. 33

ПРИЛОЖЕНИЕ Д Ведомость документов ……………………………................. 34

ПРИЛОЖЕНИЕ Е Таблица 3.2.3 – Поиск простых импликант С1\*С1 ........... 35

ПРИЛОЖЕНИЕ Ж Таблица 3.2.4 – Поиск простых импликант С2\*С2 ........... 36

ПРИЛОЖЕНИЕ З Таблица 3.2.5 – Поиск простых импликант С3\*С3 …........ 37

ПРИЛОЖЕНИЕ И Преобразователь множителя. Схема электрическая функциональная ..……………………….……………………………………… 39